

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG



Nguyễn Mạnh Tuấn

**NGHIÊN CỨU, THIẾT KẾ
BỘ TỔNG HỢP VÀ LÁI BÚP SÓNG SỐ DỰA TRÊN NỀN
TẢNG FPGA VÀ IC ADRV9009**

CHUYÊN NGÀNH: KỸ THUẬT ĐIỆN TỬ

MÃ SỐ: 8.52.02.03

ĐỀ ÁN TỐT NGHIỆP THẠC SĨ KỸ THUẬT

(Theo định hướng ứng dụng)

Người hướng dẫn: TS. TRẦN THỊ THỰC LINH

HÀ NỘI – NĂM 2025

Đề án tốt nghiệp được hoàn thành tại:

HỌC VIỆN CÔNG NGHỆ BƯU CHÍNH VIỄN THÔNG

Người hướng dẫn khoa học: TS. TRẦN THỊ THỰC LINH

Phản biện 1: TS. LÊ MINH TUẤN

Phản biện 2: PGS.TS. NGUYỄN THÚY ANH

Đề án tốt nghiệp sẽ được bảo vệ trước Hội đồng chấm đề án tốt nghiệp thạc sĩ tại Học viện Công nghệ Bưu chính Viễn thông

Vào lúc: 9 giờ 10 ngày 19 tháng 7 năm 2025

Có thể tìm hiểu đề án tốt nghiệp tại:

- Thư viện của Học viện Công nghệ Bưu chính Viễn thông.

MỞ ĐẦU

1. Lý do chọn đề tài

Trong thời đại công nghệ 4.0 và sự đổi mới không ngừng trong lĩnh vực công nghệ. Công nghệ tổng hợp và lái búp sóng số nổi lên như một xu hướng trong lĩnh vực Xử lý tín hiệu. Công nghệ tổng hợp búp sóng số không chỉ là xu hướng của công nghệ mà còn là điểm kết nối quan trọng giữa công nghệ Zero-IF và công nghệ FPGA.

Với độ chính xác cao và tính linh hoạt trong việc xử lý tín hiệu, công nghệ tổng hợp búp sóng số trở thành trụ cột trong các hệ thống radar, truyền thông và nhiều ứng dụng khác.

Đồng thời, với sự kết hợp giữa công nghệ tổng hợp búp sóng số và công nghệ Zero-IF không chỉ mang lại chất lượng tín hiệu tốt và khả năng đồng bộ hóa cao mà còn giúp tối ưu hóa việc quản lý dữ liệu trong môi trường số ngày nay.

FPGA, với khả năng lập trình linh hoạt và xử lý đa nhiệm, trở thành bộ não tính toán cho bộ tổng hợp và lái búp sóng số. Sự kết hợp này không chỉ tăng cường hiệu suất mà còn tạo ra sự linh hoạt trong việc triển khai các ứng dụng.

Nhìn chung, sự hợp nhất giữa Công nghệ tổng hợp và lái búp sóng số, Công nghệ Zero-IF và FPGA không chỉ là một bước tiến quan trọng trong việc định hình tương lai của lĩnh vực Xử lý tín hiệu mà còn tạo ra một không gian phát triển mới.

2. Tổng quan về vấn đề nghiên cứu

Đề án tập trung nghiên cứu và thiết kế bộ tổng hợp và lái búp sóng số dựa trên nền tảng FPGA và công nghệ Zero-IF trên IC ADRV9009 của hãng Analog Devices.

3. Mục đích nghiên cứu

Tìm hiểu, nghiên cứu và nắm bắt được lý thuyết về anten mảng pha, nghiên cứu về công nghệ tổng hợp và lái búp sóng số, các ưu nhược điểm của nó.

Nắm bắt và làm chủ được công nghệ truyền thông số tốc độ cao và công nghệ Zero-IF.

Thực hiện thiết kế bộ tổng hợp và lái búp sóng số dựa trên nền tảng FPGA và IC ADRV9009.

4. Đối tượng và phạm vi nghiên cứu

Nghiên cứu thiết kế bộ tổng hợp và lái búp sóng số dựa trên nền tảng FPGA và IC ADRV9009 ứng dụng cho viễn thông, y tế hoặc quân sự.

5. Phương pháp nghiên cứu

Trong đề án thực hiện phương pháp nghiên cứu dựa trên lý thuyết kết hợp với mô phỏng và kiểm tra đánh giá bằng thực nghiệm.

6. Cấu trúc đề án

Ngoài phần mở đầu, mục lục, kết luận, danh mục hình vẽ, danh mục bảng biểu, tài liệu tham khảo, phụ lục, nội dung chính của đề án được trình bày trong 4 chương như sau:

Chương 1: CƠ SỞ LÝ LUẬN

Chương 2: GIỚI THIỆU CÔNG NGHỆ ZERO-IF và IC ADRV9009

Chương 3: MÔ PHỎNG, THIẾT KẾ BỘ TỔNG HỢP VÀ LÁI BÚP SÓNG SỐ

Chương 4: ĐO KIỂM VÀ ĐÁNH GIÁ CÁC THAM SỐ

CHƯƠNG 1: CƠ SỞ LÝ LUẬN

1. Tổng quan về hệ thống anten mảng pha

Anten mảng pha là một hệ thống anten bao gồm nhiều phần tử có phân bố biên độ và phân bố pha của sóng điện từ được điều khiển độc lập. Bằng cách điều khiển sự phân bố pha của từng phần tử bố trí trong mảng anten, chúng ta có thể điều khiển đặc trưng hướng của mảng anten theo hướng mong muốn. Khác với các anten cơ học thông thường, việc điều khiển đặc trưng hướng của anten bằng phương pháp điện thông qua các thiết bị điện tử sẽ làm giảm quán tính so với thiết bị cơ điện, do đó tốc độ di chuyển của cánh sóng trên anten mảng pha lớn hơn nhiều và nâng cao tính cơ động của hệ thống trong quá trình quét không gian.

Trong các hệ thống radar, sử dụng anten mảng pha có thể thay đổi vị trí búp sóng trong không gian với tốc độ nhanh trong khoảng thời gian rất ngắn (đến micro giây). Do đó, các hệ thống radar sử dụng anten mảng pha có thể đồng thời quản lý (xác định tọa độ và vận tốc) nhiều mục tiêu trong một vùng không gian rộng lớn. Tuy nhiên, anten mảng pha sử dụng nhiều phần tử anten được cấp nguồn độc lập nên công suất tín hiệu trên mỗi kênh sẽ giảm đi, dẫn tới giảm hệ số khuếch đại chung của anten khi so với các loại anten thông thường có cùng tính định hướng, nguyên nhân dẫn đến hiện tượng này là do tổn hao trong các bộ chuyển mạch định hướng, các bộ xoay pha, do tác động tương hỗ lẫn nhau giữa các phần tử và làm giảm tỷ số tín trên tạp.

Thiết kế anten mảng pha cũng đặt ra nhiều bài toán chẳng hạn như khi số phần tử anten đủ lớn, thì vấn đề kích thích, điều khiển sẽ trở nên phức tạp, ảnh hưởng tương hỗ giữa các phần tử lớn, ngoài ra để điều khiển được đặc trưng hướng theo mong muốn cần phải chế tạo các bộ xoay pha, chuyển mạch, chia công suất, khuếch đại, khử ghép và nhiều phần tử khác. Ngày nay, với sự phát triển của hệ thống máy tính điện tử, bài toán trên được giải quyết bằng việc lập trình, điều khiển tự động bằng các hệ thống điện tử, số hóa. Máy tính hiện đại có tốc độ xử lý nhanh, không chỉ đảm bảo về khả năng xử lý tín hiệu, mà thông qua việc xử lý số có thể đảm bảo việc điều khiển đặc trưng hướng của hệ thống anten mảng pha theo yêu cầu.

Thông thường, người ta sử dụng các phần tử anten có bức xạ và định hướng trong không gian là như nhau hay: $f_i(\theta, \varphi) = f_1(\theta, \varphi)$ và $\vec{E}_i / \vec{E}_1$ thay vào công thức (1.1) và (1.2) ta có:

$$E_{th} = \sum_{i=1}^N E_i = \sum_{i=1}^N \frac{I_i}{r_i} f_i(\theta, \varphi) e^{-jk r_i} \quad (1.3)$$

Do khoảng cách từ mục tiêu điểm M đến mảng Anten là rất lớn so với khoảng cách giữa các Anten nên ta có thể coi: $\frac{1}{r_i} \approx \frac{1}{r_1}$ thay vào công thức (1.3) ta có:

$$E_{th} = \frac{I_1}{r_1} f_1(\theta, \varphi) e^{-jk r_1} \sum_{i=1}^N \frac{I_i}{I_1} e^{jk(r_1 - r_i)} \quad (1.4)$$

Theo công thức (1.4) ta rút ra đặc trưng hướng tổng hợp của hệ:

$$f_{th}(\theta, \varphi) = f_1(\theta, \varphi) \sum_{i=1}^N \frac{I_i}{I_1} e^{jk(r_1 - r_i)} \quad (1.5)$$

Đặt: $\frac{I_i}{I_1} = A_i e^{j\varphi_i}$ trong đó: $\begin{cases} A_i: \text{phân bố biên độ} \\ \varphi_i: \text{phân bố pha} \end{cases}$

$$f_{h\hat{e}}(\theta, \varphi) = \sum_{i=1}^N A_i e^{j\varphi_i} e^{jk(r_1 - r_i)} \quad (1.6)$$

$$f_{th}(\theta, \varphi) = f_1(\theta, \varphi) \cdot f_{h\hat{e}}(\theta, \varphi) \quad (1.7)$$

$$E_{th} = E_1 \cdot f_{h\hat{e}}(\theta, \varphi) \quad (1.8)$$

Như vậy:

Đặc trưng hướng tổng hợp của một hệ gồm các nguồn bức xạ đồng nhất và định hướng như nhau trong không gian bằng tích đặc trưng hướng của một nguồn bức xạ với $f_{h\hat{e}}(\theta, \varphi)$. Thông thường $f_1(\theta, \varphi)$ có tính định hướng yếu, do vậy f_{th} phụ thuộc chủ yếu vào $f_{h\hat{e}}$.

Dựa trên công thức (1.6), (1.7) và Hình 1, xét đặc trưng hướng trong mặt phẳng kinh tuyến:

$$f_{h\hat{e}}(\theta, \varphi) = \sum_{i=1}^N A_i e^{j\theta_i} e^{jk(r_1 - r_i)} \quad (1.9)$$

Ta có: $r_1 - r_i = (i-1)d \sin(\theta)$, thông thường ta sử dụng các nguồn bức xạ pha thay đổi theo quy luật tuyến tính, với: $\theta_i = -(i-1)kd \sin(\theta_0)$, trong đó d là khoảng cách giữa hai chấn tử,

θ_0 là góc lái mong muốn. Do đó, với nguồn bức xạ đồng biên ta có thể viết lại công thức (1.9) thành:

$$f_{h\acute{e}}(\theta, \varphi) = \sum_{i=1}^N e^{j(i-1)kd(\sin \theta - \sin \theta_0)} \quad (1.10)$$

Áp dụng công thức Euler, lấy module và sử dụng các phép biến đổi lượng giác đối với công thức (1.10), ta thu được:

$$f_{h\acute{e}}(\theta, \varphi) = \left| \frac{\sin \left[\frac{N}{2} (kd(\sin \theta - \sin \theta_0)) \right]}{\sin \left[\frac{1}{2} (kd(\sin \theta - \sin \theta_0)) \right]} \right| \quad (1.11)$$

Đặt: $\psi' = \frac{N}{2} (kd(\sin \theta - \sin \theta_0))$ khi đó công thức (1.11) được viết thành:

$$f_{h\acute{e}}(\theta, \varphi) = \left| \frac{\sin \psi'}{\sin \frac{\psi'}{N}} \right| \quad (1.12)$$

Theo công thức (1.12) ta xác định hướng bức xạ cực đại chính khi $\frac{\psi'}{N} = n\pi$ ($n = 0, \pm 1, \pm 2, \dots$)

$$\sin \theta_m = n \frac{\lambda}{d} + \frac{\sin \theta_0}{kd} \quad (1.13)$$

Điều kiện tồn tại duy nhất cực đại chính ứng với chỉ số n:

$$\frac{d}{\lambda} < \frac{1}{1 + |\sin \theta_0|} \quad (1.14)$$

Thực hiện tương tự đối với hướng không bức xạ: $\begin{cases} \psi' = n\pi \\ n \neq mN, |m| = 0, 1, 2, \dots \end{cases}$

$$\sin \theta_{NULL} = n \frac{\lambda}{Nd} + \frac{\sin \theta_0}{kd} \quad (1.15)$$

Như vậy để điều khiển đặc trưng hướng của mảng anten theo mong muốn hay quét cánh sóng bằng phương pháp điện ta có thể thay đổi pha θ_0 (phương pháp pha) của mảng, hoặc thay đổi tần số (phương pháp tần số).

3. Phương pháp tổng hợp và lái búp sóng số, ưu điểm của nó và các nút thắt cần giải quyết

Giả sử tại phần tử thứ i thu được tín hiệu đầu vào $s_i(t)$ và ta sử dụng nguồn bức xạ tuyến tính theo quy luật $\varphi_i = (i-1)kd \sin(\theta)$, khi đó tín hiệu tổng hợp của búp sóng $s(t)$ có dạng:

$$s(t) = \sum_{i=1}^N s_i(t) e^{j(i-1)kd \sin(\theta)} \quad (1.16)$$

Giá trị pha điều khiển beamforming của từng kênh là:

$$\varphi_i = (i-1)kd \sin(\theta) = (i-1) \frac{2\pi df}{c} \sin(\theta) = (i-1)\varphi \quad (1.17)$$

Với i là vị trí hàng ăng ten, giá trị từ $1 \rightarrow N$ và $\varphi = \left(\frac{2\pi \times d \times f}{c} \sin(\theta) \right)$.

3.1 Ưu điểm của phương pháp tổng hợp và lái búp sóng số

3.1.1 Tăng độ phân giải khi quét búp sóng

Mối liên hệ giữa góc xoay pha từng kênh ăng ten và góc quét búp sóng được thể hiện dựa theo công thức:

$$\begin{aligned} \varphi_i &= (i-1) \times \left(\frac{2\pi \times d \times f}{c} \sin(\theta) \right) \\ \Rightarrow \theta &= \arcsin \left(\frac{\varphi_i}{(i-1) \times \frac{2\pi \times d \times f}{c}} \right) = \arcsin \left(\frac{(i-1) \times \varphi}{(i-1) \times \frac{2\pi \times d \times f}{c}} \right) \end{aligned} \quad (1.18)$$

$$\varphi = \text{Beam_ID} \times \Delta\varphi, \quad \Delta\varphi = \frac{2\pi}{2^n}$$

Trong đó Beam_ID là giá trị búp sóng mong muốn quét, n là số bit biểu diễn Beam_ID. Mối liên hệ độ phân giải góc quét búp sóng $\Delta\theta$ phụ thuộc vào độ phân giải góc xoay pha $\Delta\varphi$ theo công thức:

$$\Delta\theta = \arcsin\left(\frac{\frac{\Delta\varphi}{2\pi \times d \times f}}{c}\right) = \arcsin\left(\frac{\lambda}{2^n \times d}\right) \quad (1.19)$$

Giá trị n càng lớn tương đương với độ phân giải càng cao.

3.1.2 Tăng độ chính xác khi lái búp sóng

Độ chính xác quét búp sóng phụ thuộc chính vào 2 yếu tố:

- Độ phân giải quét búp sóng.
- Độ ổn định xoay pha.

Phương pháp quét búp sóng số đưa ra độ phân giải cao (đã chứng minh tại mục 3.1.1) và xoay pha từng kênh trên miền số nên khắc phục các nhược điểm về độ ổn định xoay pha của phương pháp quét búp sóng tương tự.

3.1.3 Khả năng thu đồng thời nhiều búp sóng

Trong các hệ thống thu phát cũ sử dụng các IC xoay pha tương tự, tại một thời điểm chỉ thu được một búp sóng. Với công nghệ tổng hợp và lái búp sóng số, tại một thời điểm có khả năng thu/phát đồng thời nhiều búp sóng và số lượng búp sóng có thể thực hiện dựa trên tài nguyên của Chip. Khả năng thu đa búp sóng giúp có nhiều hơn thông tin từ tín hiệu mục tiêu phản xạ về.

3.1.4 Thời gian quét búp sóng

Sử dụng IC xoay pha tương tự tồn tại nhược điểm thời gian quét búp sóng bị ảnh hưởng bởi các thông số:

- Thời gian điều khiển búp sóng muốn quét.
- Thời gian cập nhật để ổn định biên độ, pha của các kênh thu/phát.

Với công nghệ quét búp sóng số, thời gian cập nhật búp sóng phụ thuộc vào thời gian tính toán các bộ số xoay pha và thời gian này là rất nhỏ.

3.2 Các nút thắt cần giải quyết trong công nghệ tổng hợp và lái búp sóng số

- Vấn đề đồng bộ các chip AD/DA:

Theo kiến trúc phần cứng thu phát của phương pháp quét búp sóng số, mỗi kênh thu sử dụng một kênh AD/DA. Do đó việc đồng bộ các chip AD/DA là rất quan trọng. Các tín hiệu đồng bộ yêu cầu độ lệch giữa các tín hiệu clock cỡ ps.

- Vấn đề kiểm tra độ ổn định và hiệu chuẩn pha và biên độ của các kênh thu/phát:

Độ ổn định pha, biên độ của các kênh thu/phát ảnh hưởng bởi nhiệt độ và sự mất cân bằng IQ trong các chip AD/DA. Yếu tố nhiệt độ ảnh hưởng lớn đến độ ổn định so với sự mất cân bằng IQ trong AD/DA nên cần tập trung đo kiểm các kênh thu/phát đặt trong tủ môi trường với nhiệt độ, độ ẩm thay đổi theo điều kiện làm việc thực tế. Khi nhiệt độ tăng trong dải làm việc (từ -10°C đến 60°C) và không điều khiển pha, biên độ thì sai lệch pha giữa các kênh rất lớn lớn nhất là 50° . Sai lệch này không ổn định tại một giá trị và bị biến đổi liên tục theo nhiệt độ.

- Vấn đề truyền dữ liệu tốc độ cao từ khối thu phát số tới khối tổng hợp và lái búp sóng số:

Để đảm bảo truyền dữ liệu từ khối thu phát số sang khối tổng hợp và lái búp sóng số, tốc độ đường truyền rất lớn (cỡ vài Gb/s). Giải pháp thông thường sử dụng cổng Ethernet, với tốc độ 1Gb/s thông thường sẽ không đáp ứng được, với các cổng Ethernet với tốc độ cao hơn là 2.5Gb/s hoặc 10Gb/s thì kèm theo chi phí phần cứng, chi phí IP core là rất lớn và tăng sự phức tạp của hệ thống phần cứng (với 2.5Gb/s cần chip PHY, 10Gb/s cần cổng chuyển đổi quang điện nếu sử dụng cáp quang hoặc cáp điện chuyên dụng), phần mềm.

- Phần mềm giao tiếp AD/DA:

Các chip AD/DA kèm theo tài liệu hãng cung cấp và các API điều khiển tồn tại các nút thắt sau:

+ Các thuật toán xử lý và điều khiển yêu cầu từ chu kỳ tới chu kỳ. Trong một chu kỳ luôn có khoảng thời gian t_{control} để điều khiển các thông số AD/DA làm việc tại chu kỳ đó. Các API của hãng sử dụng ngôn ngữ C chạy trên vi xử lý, trong ứng dụng hiện tại vi xử lý chạy hệ điều hành. Điều này, dẫn tới việc không đảm bảo được thời gian điều khiển t_{control}

+ Tài liệu chip AD/DA kèm theo không đưa ra các thanh ghi điều khiển và mô tả cho người dùng nên khi điều khiển, giám sát hoạt động của chip phù hợp với mục đích sử dụng là rất khó khăn.

- Độ chính xác góc lái:

Độ chính xác khi lái búp sóng bị ảnh hưởng bởi các thông số:

- + Độ rộng búp sóng.
- + Pha điều khiển từng phần tử ăng ten.
- + Sai số hệ thống đo kiểm búp sóng.

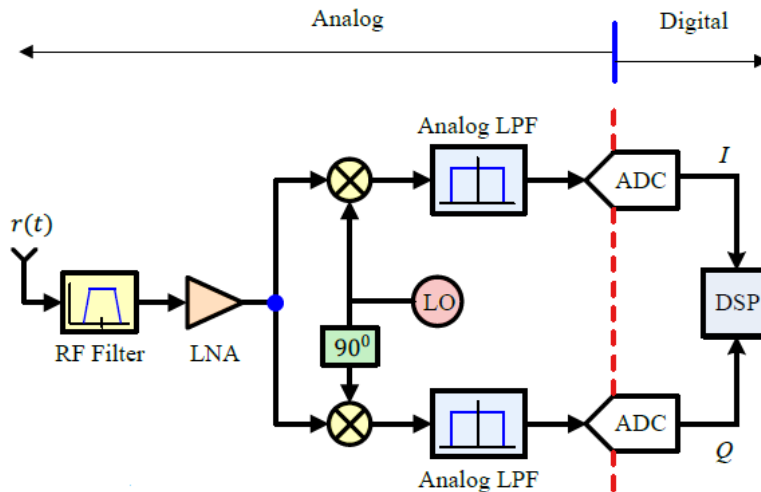
Chương 1 đã trình bày lý thuyết tổng quan về hệ thống anten mảng pha, một số tính chất phương hướng của anten mảng pha, phương pháp tổng hợp và lái búp sóng số cùng với các ưu điểm của nó. Trong chương 2 của đề án sẽ đi vào tìm hiểu công nghệ Zero-IF và IC ADRV9009 đây là nền tảng công nghệ cần nắm trước khi đi vào thiết kế hệ thống ở chương 3.

CHƯƠNG 2: GIỚI THIỆU CÔNG NGHỆ ZERO-IF VÀ IC ADRV9009

1. Tổng quan về công nghệ Zero-IF

Zero-IF (Zero Intermediate Frequency), còn được gọi là Direct Conversion (chuyển đổi trực tiếp) hoặc Homodyne, là một kiến trúc thu phát tín hiệu vô tuyến trong đó tín hiệu tần số cao (RF) được chuyển trực tiếp về tần số cơ sở (baseband) mà không cần qua bước trung gian (IF – Intermediate Frequency) như trong kiến trúc superheterodyne truyền thống.

- Sơ đồ nguyên lý của kiến trúc Zero-IF:



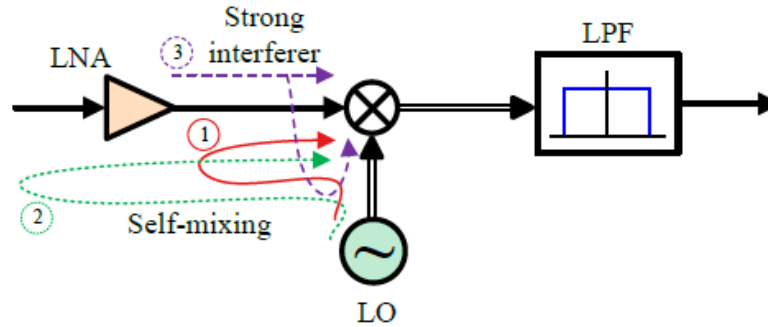
Hình 2.1. Sơ đồ nguyên lý của kiến trúc Zero-IF (Homodyne).

Hình 2.1 trình bày sơ đồ nguyên lý của kiến trúc Zero-IF. Dựa vào sơ đồ nguyên lý của kiến trúc thu superheterodyne và Zero-IF ta có thể thấy trong kiến trúc Zero-IF đã không còn tầng tín hiệu trung tần (IF).

- Các thách thức đối với công nghệ Zero-IF:

Việc chuyển đổi trực tiếp tín hiệu từ cao tần xuống tần số cơ sở là lựa chọn hợp lý, nhưng có nhiều thách thức cần phải vượt qua để hiện thực hóa kiến trúc Zero-IF.

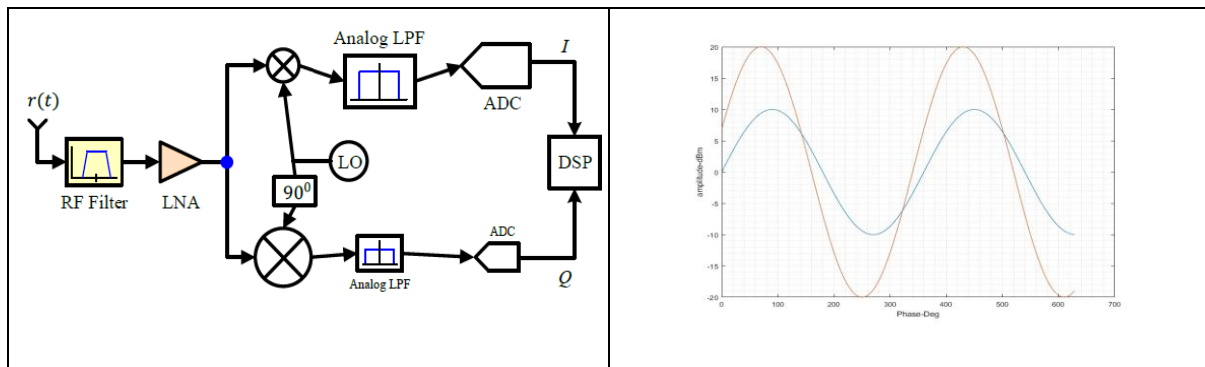
+ DC Offset (độ lệch tín hiệu một chiều): Đây là vấn đề nghiêm trọng nhất xảy ra tại tín hiệu đầu ra dải tần cơ sở (baseband) của bộ thu chuyển đổi trực tiếp (direct conversion Rx). Việc chuyển tín hiệu về quanh tần số bằng không khiến tín hiệu mong muốn dễ bị ảnh hưởng bởi điện áp lệch (offset voltage), có thể làm bão hòa các tầng xử lý tiếp theo. Hiện tượng DC Offset được mô tả trên Hình 2.2.



Hình 2.2. Hình minh họa hiện tượng DC offset.

+ Lệch pha và biên độ (IQ imbalance):

- Trong bộ thu zero-IF, việc xử lý tín hiệu phức được thực hiện thông qua mạch tương tự để chuyển phổ tín hiệu mục tiêu trực tiếp xuống tần số cơ sở. Để làm được điều này, cả các bộ trộn I và Q, bộ lọc thông thấp (LPF), và bộ chuyển đổi tương tự-số (ADC) phải duy trì gain và độ lệch pha 90° trên toàn bộ băng thông tín hiệu trong các nhánh I và Q tương ứng - điều này là bất khả thi đối với các linh kiện tương tự.
- Một ví dụ minh họa cho sự mất cân bằng giữa các nhánh I/Q được thể hiện trong Hình 2.3 thông qua sự khác nhau về kích thước của các bộ trộn, bộ lọc thông thấp (LPF) và các bộ ADC, cũng như sự nghiêng lệch của chúng. Hệ quả là xảy ra sai lệch về biên độ và pha giữa từng cặp cấu phần song song trong các nhánh I và Q.



Hình 2.3. Hình minh họa hiện tượng lệch pha và biên độ giữa kênh I và Q

- Ưu điểm của hệ thống Zero-IF:

+ Có thể tạo thành chip tích hợp.

+ Giảm chi phí: Thông qua việc loại bỏ một số thành phần liên quan đến tín hiệu trung tần giúp cho thiết kế theo kiến trúc zero-IF giảm chi phí hệ thống so với các kiến trúc khác. Bên cạnh đó, chi phí còn được tiết kiệm nhờ vào khả năng linh hoạt trong việc bổ sung các dải tần mới mà không cần thay đổi nhiều.

+ **Tiết kiệm điện năng tiêu thụ:** Vì kiến trúc zero-IF chuyển trực tiếp các tần số quan tâm xuống tần số gốc (baseband), nên các mạch tương tự có thể được thiết kế hoạt động ở tần số thấp nhất có thể, từ đó giúp giảm tiêu thụ điện năng.

2. Tổng quan về IC ADRV9009

- Các tính năng chính:

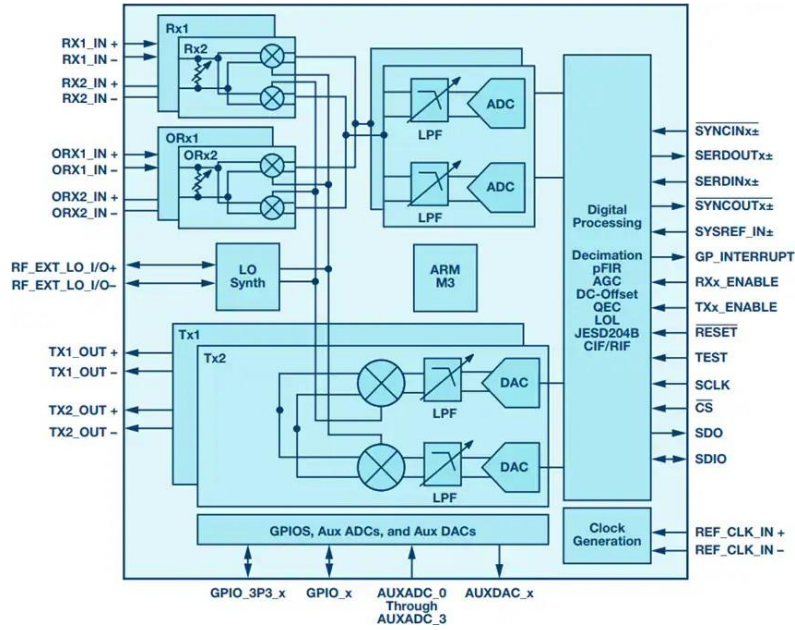
- + Hai kênh phát/thu độc lập.
- + Bộ thu quan sát chia sẻ đầu vào kép.
- + Băng thông tối đa của bộ thu: 200 MHz.
- + Băng thông tối đa của tín hiệu phát: 450 MHz.
- + Băng thông tối đa của bộ thu quan sát: 450 MHz.
- + Các mạch tổng hợp tần số vô tuyến (RF) sử dụng kỹ thuật phân số-N, được tích hợp hoàn toàn trong chip.
- + Bộ tổng hợp tín hiệu clock được tích hợp hoàn toàn trong chip.
- + Công nghệ đồng bộ pha trên nhiều chip.
- + Hỗ trợ giao thức truyền dữ liệu tốc độ cao theo chuẩn JESD204B.
- + Dải tần hoạt động: 75MHz đến 6GHz.

- Ứng dụng:

Mạch tích hợp ADRV9009 của Analog Devices là một bộ thu phát RF tích hợp cao, được thiết kế cho các ứng dụng đòi hỏi hiệu suất cao và tiêu thụ điện năng thấp, điển hình là các ứng dụng sau:

- + Trạm gốc 3G, 4G và 5G.
- + Hệ thống radar mảng pha.
- + Hệ thống MIMO.
- + Hệ thống thông tin quân sự.
- + Chiến tranh điện tử.
- + Thiết bị kiểm tra di động.

Hình 2.4 giới thiệu sơ đồ khối tổng quát của IC ADRV9009.



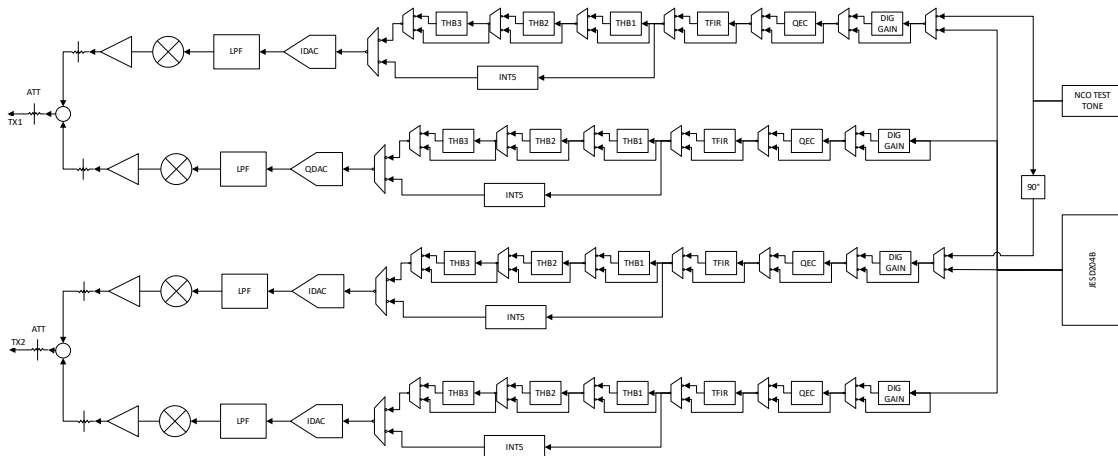
Hình 2.4. Sơ đồ khối IC ADRV9009

3. Quá trình thu, phát tín hiệu trên IC ADRV9009

IC ADRV9009 cho phép số hóa và xử lý tín hiệu với băng thông rất lớn cho cả tuyến phát và tuyến thu, sau đây chúng ta sẽ đi vào từng phần cụ thể như sau:

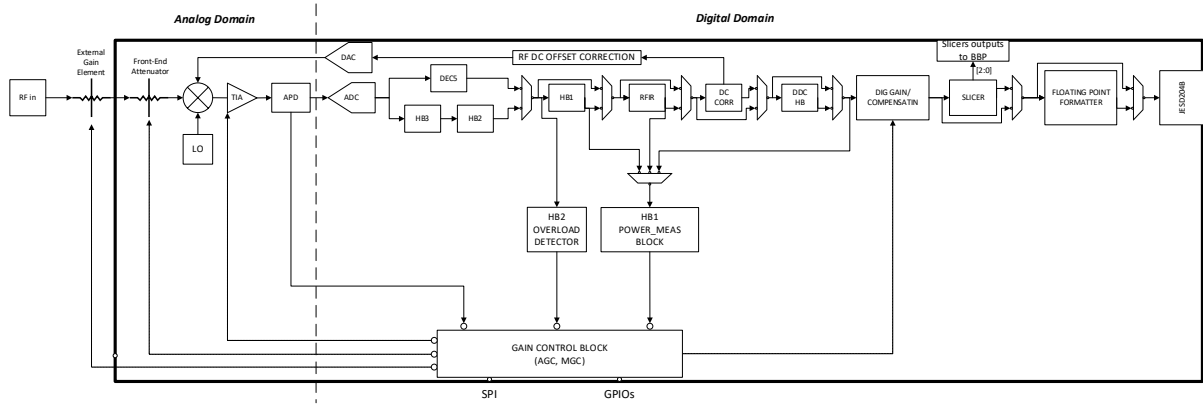
- Quá trình tạo tín hiệu phát trên IC ADRV9009:

Hình 2.5 là sơ đồ tạo tín hiệu phát trên IC ADRV9009. Trên IC ADRV9009 có hai chế độ phát RF, tương ứng dữ liệu baseband được lấy từ FPGA qua đường JESD204b hoặc từ NCO nội. Tín hiệu baseband sau đó được đi qua khối hiệu chỉnh gain số (DIG_GAIN: digital gain control), khối này có nhiệm vụ điều chỉnh biên độ để phù hợp dải động của các tầng. Sau đó tín hiệu được hiệu chỉnh sai lệch giữa kênh I và kênh Q thông qua khối hiệu chỉnh sai số cầu phương (QEC). Sau đó tín hiệu được nhân tần lên tần số cao tần và đi qua bộ chuyển đổi số sang tương tự (DAC). Tín hiệu sau đó tiếp tục được lọc và trộn tần lên tần số RF mong muốn sau đó được đưa ra cổng TX1 và TX2.



Hình 2.5. Sơ đồ tạo tín hiệu phát trên IC ADRV9009

- Quá trình thu tín hiệu trên IC ADRV9009



Hình 2.6. Sơ đồ tuyến thu trên IC ADRV9009

Hình 2.6 mô tả quá trình thu tín hiệu trên IC ADRV9009. Tín hiệu RF sau khi đi qua bộ suy hao sẽ được đưa vào bộ trộn và bộ chuyển đổi dòng – áp (TIA) để làm tăng hiệu quả của bộ chuyển đổi tương tự - số (ADC). Sau khi đi qua khối TIA tín hiệu được đưa vào khối dò đỉnh tín hiệu tương tự (APD) để kiểm tra xem tín hiệu có bị bão hòa hay không, nếu tín hiệu bị bão hòa khối gain control sẽ thực hiện hiệu chỉnh lại bộ suy hao nhằm đảm bảo tín hiệu đầu ra không bị bão hòa. Sau đó tín hiệu sẽ đi qua bộ chuyển đổi tín hiệu tương tự - số rồi đi qua bộ lọc và giảm mẫu. Ngoài ra để tránh hiện tượng DC Offset trong hệ thống còn tích hợp khối hiệu chuẩn tín hiệu DC để loại bỏ tín hiệu DC Offset. Sau đó tín hiệu được đóng gói và truyền qua đường JESD204b đến các tầng xử lý tiếp theo.

Trong chương 2 chúng ta đã được tìm hiểu về công nghệ Zero-IF và những thách thức đặt ra để thực hiện công nghệ Zero-IF. Ngoài ra chúng ta cũng đi vào tìm hiểu IC ADRV9009 với cấu trúc tổng quan và quá trình thu, phát tín hiệu trên nó.

CHƯƠNG 3: MÔ PHỎNG, THIẾT KẾ BỘ TỔNG HỢP VÀ LÁI BÚP SÓNG SỐ

3.1 Xây dựng bộ chỉ tiêu kỹ thuật

Tùy vào từng lĩnh vực, chức năng và nhiệm vụ mà ta xây dựng bộ chỉ tiêu cho bộ tổng hợp và lái búp sóng số phù hợp với yêu cầu thực tế. Bộ chỉ tiêu trong đề án được xây dựng cho hệ thống AESA 1 chiều quét điện trong mặt phẳng phương vị, cụ thể các tham số của bộ chỉ tiêu được liệt kê trong Bảng 3.1 như sau:

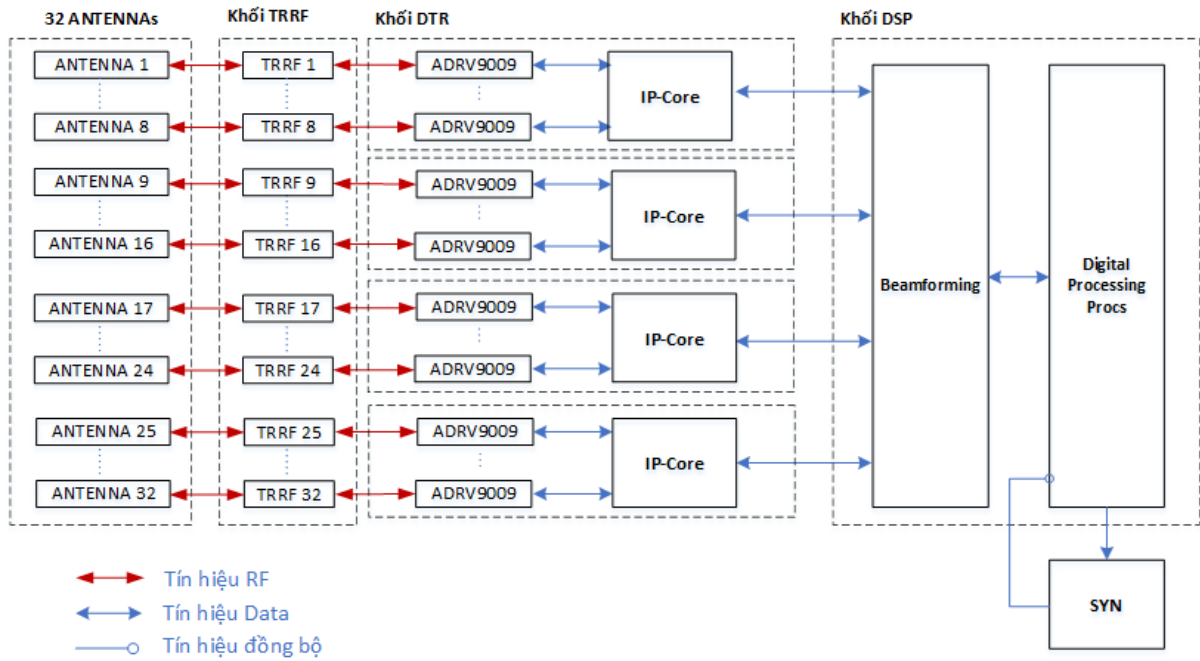
Bảng 3.1. Bảng chỉ tiêu kỹ thuật của bộ tổng hợp và lái búp sóng số

STT	Nội dung	Giá trị	Sở cứ đánh giá
1	Dải tần làm việc	2.8 ÷ 3.0 GHz	
2	Số chấu tử anten	32	
3	Độ chính xác khi lái búp sóng	$\leq 10\%$ độ rộng búp sóng	Mô phỏng Matlab
4	Phạm vi lái theo góc phương vị	$\pm 20^\circ$	Mô phỏng Matlab
5	Độ phân giải lái búp sóng	$\Delta\phi = \arcsin\left(\frac{\lambda}{2^n \times d}\right)$	Tính toán dựa vào công thức (1.19)

6	Thời gian lái búp sóng	2 μ s	Theo tính toán
7	Tính năng thu đa búp sóng	Có	phụ thuộc vào tài nguyên của hệ thống
8	Tính năng áp dụng các trọng số window	Có	Theo tính toán

3.2 Xây dựng mô hình hệ thống

Từ chỉ tiêu ta xây dựng được mô hình hệ thống tổng hợp và lái búp sóng số như trong Hình 3.1:



Hình 3.1. Cấu trúc hệ thống tổng hợp và lái búp sóng số

Chức năng chính của các khối trong mô hình hệ thống tổng hợp và lái búp sóng số trên Hình 3.1 như sau:

- **Khối đồng bộ tín hiệu (SYN) có chức năng:**
 - + Nhận tín hiệu điều khiển từ khối DSP.
 - + Tạo tín hiệu đồng bộ cho các khối DTR và DSP.
- **Khối Xử lý tín hiệu (DSP) có chức năng:**
 - + Giám sát và điều khiển thông số các mô đun, khối.
 - + Tạo tín hiệu đồng bộ các mô đun, khối.
 - + Cấu hình búp sóng đưa tới DTR để tạo búp sóng phát theo hướng mong muốn.
 - + Xử lý tín hiệu thu sau khi số hóa từ DTR để tổng hợp và lái búp sóng theo hướng mong muốn.
 - + Thực hiện hiệu chỉnh pha biên độ toàn hệ thống.
- **Khối Thu phát số (DTR) có chức năng:**
 - + Tạo 8 kênh thu/phát cao tần đến các khối TRRF dải tần từ 2.8 ÷ 3.0 GHz sử dụng công nghệ Zero-IF với IC ADRV9009.
 - + Truyền nhận dữ liệu tốc độ cao tới khối DSP.

- + Nhận tín hiệu đồng bộ cho nhiều bo mạch từ khối **SYN**.
- + Giám sát, điều khiển 8 khối **TRRF**.
- **Khối Thu phát cao tần (TRRF) có chức năng:**
 - + Khuếch đại tín hiệu cao tần sau DTR lên công suất yêu cầu và phát vào các dàn ăng-ten tương ứng.
 - + Thu và khuếch đại tín hiệu thu được từ ăng-ten đưa về 32 đường thu trên 4 khối DTR.

3.3 Tính toán và mô phỏng các tham số

Các tham số được tính toán dựa cấu trúc hệ thống tổng hợp và lái búp sóng số như trên Hình .

- **Tính toán khoảng cách giữa các chấn tử anten:**

+ Theo công thức (1.14) ta có điều kiện tồn tại duy nhất một cực trị như sau:

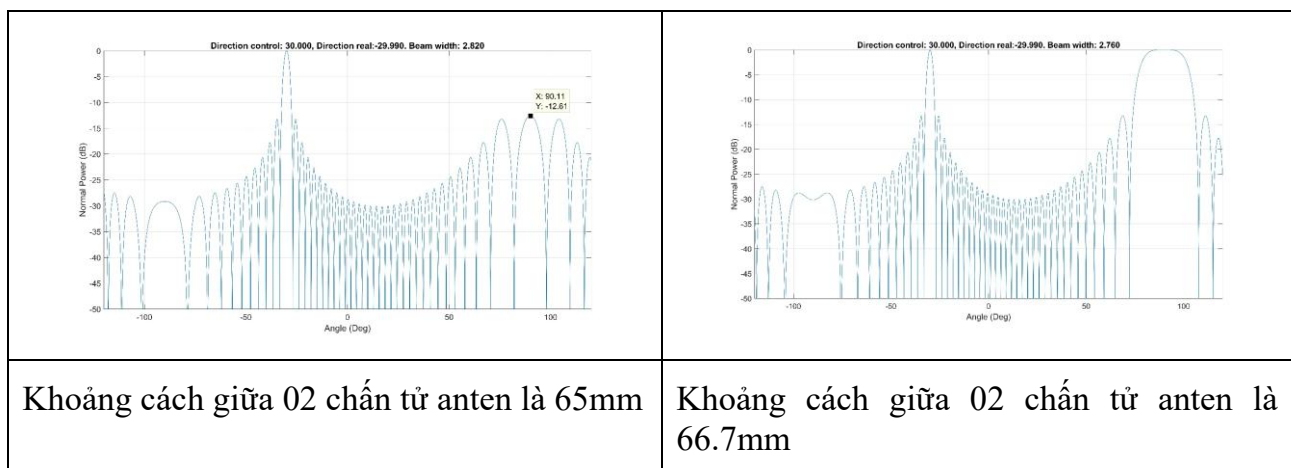
$$\frac{d}{\lambda} < \frac{1}{1 + |\sin \theta_m|} \rightarrow d < \frac{\lambda}{1 + |\sin \theta_m|}$$

+ Theo chỉ tiêu kỹ thuật về góc lái phương vị là $\pm 30^\circ$ và dải tần làm việc là $2.8 \div 3.0\text{GHz}$ như trong Bảng 3.1, khi đó yêu cầu đối với khoảng cách các chấn tử là:

$$d < \frac{\lambda}{1 + |\sin \theta_m|} = \frac{0.1071 \div 0.1}{1 + \sin(30)} = 0.0667 \div 0.0714\text{m} \quad (3.1)$$

Từ kết quả tính toán (3.1) để đảm bảo tồn tại duy nhất một cực trị trong dải tần làm việc $2.8 \div 3.0\text{GHz}$ và góc lái phương vị là $\pm 30^\circ$ yêu cầu khoảng cách giữa 02 chấn tử tối đa không vượt quá $0.0667\text{m} = 66.7\text{mm}$.

Mô phỏng hệ thống anten với tần số làm việc là 3.0GHz , búp sóng được lái một góc là 30° và khoảng cách giữa 02 chấn tử anten là 65mm , sử dụng code Matlab và cho kết quả như Hình 3.2:



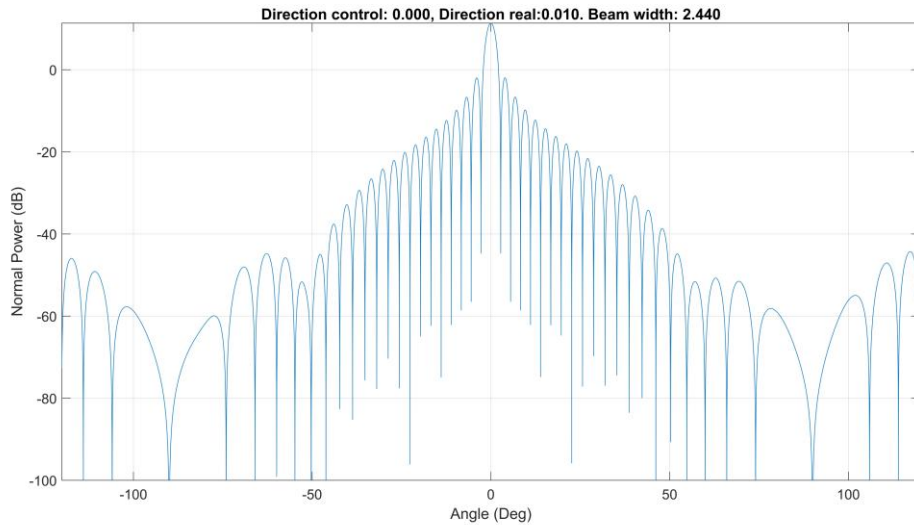
Hình 3.2. Kết quả mô phỏng anten khi lái búp sóng một góc 30° và tần số làm việc là 3.0GHz khi khoảng cách giữa 2 chấn tử là 65mm và 66.7mm

Dựa vào kết quả mô phỏng trong Hình 3.2 và (3.1) ta có thể thấy kết quả mô phỏng phù hợp với lý thuyết về điều kiện tồn tại duy nhất một cực trị, từ đó ta lựa chọn khoảng cách

giữa 02 chấn tử Anten là 65mm để đảm bảo không xuất hiện đa trị, đảm bảo độ rộng búp sóng và gain Anten.

- **Tính toán yêu cầu sai số pha và biên độ các thành phần để sai số lái búp sóng $\leq 10\%$ độ rộng búp sóng:**

Do hiện tượng mở rộng búp sóng khi lái và độ rộng búp sóng tỷ lệ nghịch với tần số, do đó để đảm bảo sai số lái búp sóng $\leq 10\%$ trong toàn bộ dải tần và toàn bộ phạm vi lái búp sóng cần đảm bảo sai số lái búp sóng cho búp sóng nhỏ nhất. Kết quả mô phỏng độ rộng búp sóng ở tần số 3GHz, góc lái bằng 0 của 32 phần tử Anten với mỗi phần tử là 01 Anten Yagi được mô phỏng như trong Hình 3.3. Như vậy, yêu cầu sai số lái búp sóng ≤ 0.244 độ.



Hình 3.3. Kết quả mô phỏng độ rộng búp sóng tại tần số 3GHz của 32 chấn tử Yagi

Bảng 3.2 trình bày các thành phần ảnh hưởng đến sai số lái búp sóng Anten trong hệ thống tổng hợp và lái búp sóng số như trình bày trên sơ đồ Hình 3.1:

Bảng 3.2. Các thành phần ảnh hưởng đến sai số lái búp sóng

STT	Tên thành phần
1	Sai số pha, biên độ khối DTR
2	Sai số pha, biên độ khối TRRF
3	Sai số pha, biên độ dây cáp nối từ khối DTR đến khối TRRF
4	Sai số pha, biên độ dây cáp nối từ khối DTR đến Anten

Bảng 3.3 trình bày kết quả mô phỏng giá trị yêu cầu đối với các yếu tố ảnh hưởng đến sai số lái búp sóng được liệt kê trong Bảng 3.2 và kết quả đầu ra tương ứng với các giá trị của tham số đầu vào.

Bảng 3.3. Bảng tổng hợp kết quả mô phỏng sai số lái búp sóng

STT	Tên thành phần	Đơn vị	Giá trị yêu cầu
Tham số đầu vào			
1	Sai số pha khối DTR	Độ	≤ 5
2	Sai số biên độ khối DTR	dBm	≤ 0.5
3	Sai số pha khối TRRF	Độ	≤ 5
4	Sai số biên độ khối TRRF	dBm	≤ 0.5
5	Sai số pha dây cáp nối từ khối DTR đến khối TRRF	Độ	≤ 5
6	Sai số biên độ dây cáp nối từ khối DTR đến khối TRRF	dBm	≤ 0.5
7	Sai số pha dây cáp nối từ khối DTR đến anten	Độ	≤ 5
8	Sai số biên độ dây cáp nối từ khối DTR đến anten	dBm	≤ 0.5
Tham số đầu ra			
9	RMSE của sai số lái búp sóng ở góc lái 0 độ (thống kê trong 1000 lần)	-	0.047
10	Sai số lái búp sóng lớn nhất ở góc lái 0 độ (thống kê trong 1000 lần)	Độ	0.16
11	RMSE của sai số lái búp sóng ở góc lái 10 độ (thống kê trong 1000 lần)	-	0.058
12	Sai số lái búp sóng lớn nhất ở góc lái 10 độ (thống kê trong 1000 lần)	Độ	0.16
13	RMSE của sai số lái búp sóng ở góc lái 20 độ (thống kê trong 1000 lần)	-	0.094
14	Sai số lái búp sóng lớn nhất ở góc lái 20 độ (thống kê trong 1000 lần)	Độ	0.22

Dựa vào các kết quả mô phỏng được tổng hợp trong

Bảng 3.3.3 ta có thể thấy với sai số các thành phần đạt như trong

Bảng 3.3 sẽ đảm bảo sai số theo chỉ tiêu kỹ thuật yêu cầu như trong Bảng 3.1.

- Tính toán sai số thời gian cho tín hiệu clock dùng để đồng bộ các khối DTR:

Ta có:

$$\Delta\varphi = 2 * \pi * f * \Delta t \quad (3.2)$$

Trong đó:

- + $\Delta\varphi$: là độ lệch pha.
- + f : là tần số làm việc.
- + Δt : là độ lệch thời gian.

Để sai số pha ở các đầu ra của các khối DTR là 5 độ ở tần số 3 GHz, khi đó:

$$\Delta t \leq \frac{\Delta\varphi}{2 * \pi * f} = \frac{5 * \pi / 180}{2 * \pi * 3 * 10^9} = 4.6 ps \quad (3.3)$$

Vậy sai số thời gian của các tín hiệu clock dùng để đồng bộ cho các khối DTR phải nhỏ hơn 4.6 ps.

3.4 Thiết kế bộ tổng hợp và lái búp sóng số

Hình 3.1 là sơ đồ đầy đủ cả hệ thống anten và hệ thống thu/phát tín hiệu cao tần công suất cao, nhưng trong khuôn khổ đề án do giới hạn về thời gian và phạm vi nên chỉ thực hiện nghiên cứu 03 thành phần chính liên quan mật thiết đến bộ tổng hợp và lái búp sóng số đó là khối DTR, khối SYN và khối DSP. Sau đây chúng ta sẽ đi chi tiết về phần thiết kế khối DTR, SYN và DSP.

3.4.1 Chỉ tiêu kỹ thuật của khối DTR

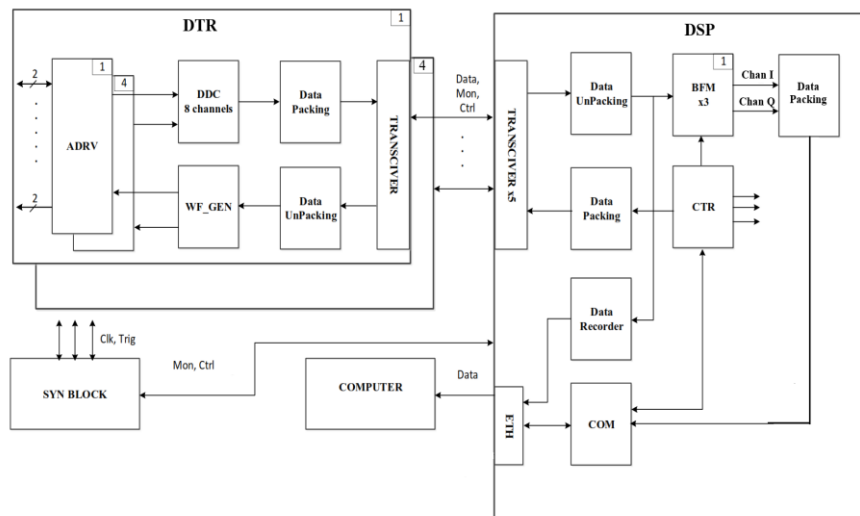
Xuất phát từ yêu cầu về độ chính xác lái búp sóng, công suất đầu vào khối TRRF, môi trường làm việc và số phần tử anten ta đưa ra chỉ tiêu đối với khối DTR như trong Bảng 3.4.

Bảng 3.4. Chỉ tiêu kỹ thuật của khối DTR

STT	Tên tham số	Đơn vị	Chỉ tiêu	Ghi chú
1	Nguồn đầu vào	V	24	
2	Số kênh phát	-	8	
3	Số kênh thu	-	8	

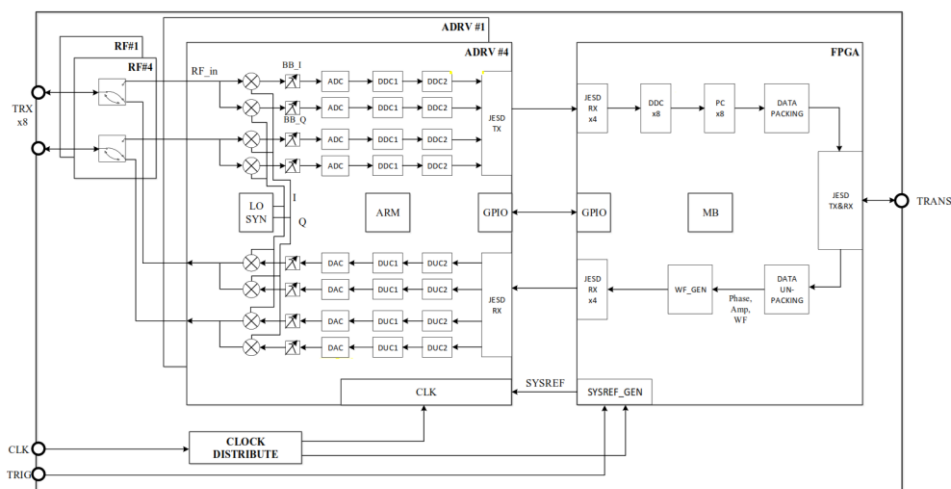
4	Sai số pha giữa các kênh thu	Độ	5	
5	Sai số biên độ giữa các kênh thu	dBm	0.5	
6	Sai số pha giữa các kênh phát	Độ	5	
7	Sai số biên độ giữa các kênh phát	dBm	0.5	
8	Công suất phát	dBm	0 ± 0.5	
9	Nhiệt độ làm việc	$^{\circ}\text{C}$	$-20 \div 60$	
10	Độ ẩm	%	≤ 96	

3.4.2 Thiết kế sơ đồ tổng thể bộ tổng hợp và lái búp sóng số



Hình 3.4 Sơ đồ khối bộ tổng hợp và lái búp sóng số

Hình 3.4 chỉ ra sơ đồ tổng quát của khối tổng hợp và lái búp sóng số với các thành phần cơ bản là khối 01 khối DSP, 04 khối DTR và 01 khối SYNC.



Hình 3.5. Sơ đồ khối khối thu phát số (DTR)

Hình 3.5 đưa ra sơ đồ chi tiết của khối DTR, sau đây chúng ta sẽ đi vào nguyên lý hoạt động của bộ tổng hợp và lái búp sóng số.

3.4.3 Nguyên lý hoạt động

Bộ tổng hợp và lái búp sóng số bao gồm 4 khối DTR, 01 khối SYN và 01 khối DSP như trong Hình 3.4, trong đó:

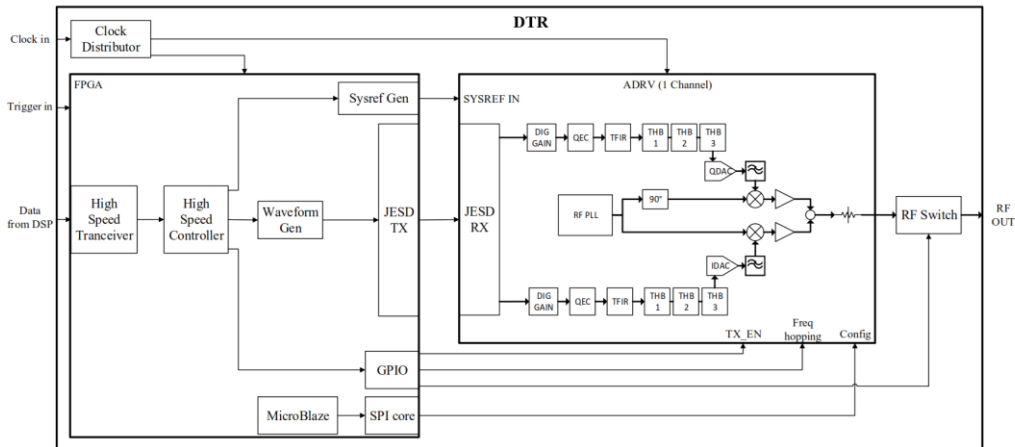
- Bốn khối DTR ứng với 32 kênh thu phát. Mỗi bo mạch DTR được tích hợp 4 IC ADRV9009, mỗi IC có 2 kênh thu, 2 kênh phát và kết hợp FPGA tốc độ cao để xử lý tín hiệu đồng thời 8 kênh thu/8 kênh phát truyền thông giao tiếp tốc độ cao về khối xử lý tín hiệu DSP. Chế độ thu/phát được chuyển mạch luân phiên bằng chuyển mạch cao tần.

- Quy trình hoạt động của DTR chia làm hai giai đoạn:

- + Giai đoạn 1: khởi tạo hệ thống. Trong giai đoạn này, FPGA trên DTR sau khi được cấu hình sẽ điều khiển thiết lập thông số, update firmware cho các ngoại vi như HMC7044, ADRV9009,...

- + Giai đoạn 2: chế độ hoạt động. Trong giai đoạn này, DTR hoạt động theo chu kỳ dựa trên điều khiển từ DSP. Đầu mỗi chu kỳ, DTR hoàn thành việc truyền nhận dữ liệu giám sát điều khiển với DSP và thiết lập lại các thông số theo yêu cầu trước khi phát tín hiệu mã và xử lý tín hiệu thu. Các thông số giám sát thông thường sẽ được cập nhật liên tục trên DTR và được chốt ở cuối mỗi chu kỳ trước khi được gửi đi ở đầu chu kỳ sau.

3.4.4 Thiết kế bộ tạo tín hiệu phát



Hình 3.6. Sơ đồ thiết kế của bộ tạo tín hiệu phát trên khối DTR

Hình 3.6 mô tả sơ đồ thiết kế khối DTR với nguyên lý hoạt động như sau:

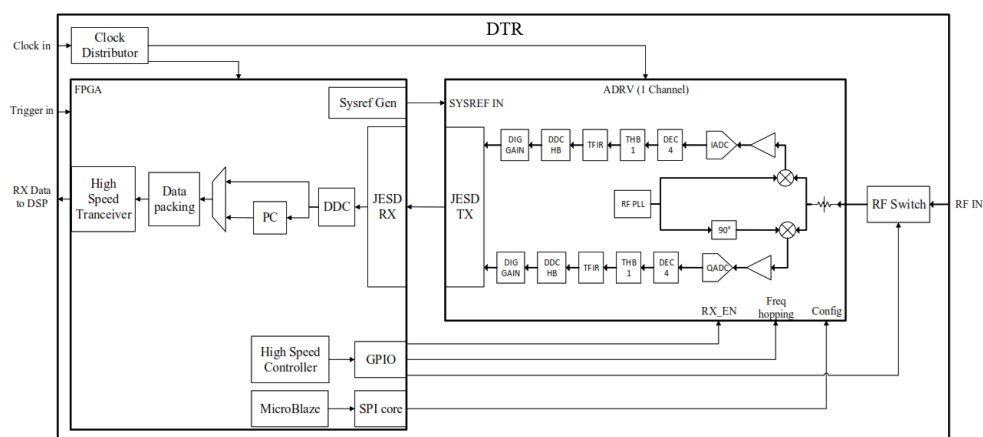
- Mạch FPGA trên DTR nhận các thông số điều khiển liên quan đến tín hiệu phát từ DSP qua đường transceiver ở đầu chu kỳ. Các thông số bao gồm: **dạng tín hiệu, chiều dài tín hiệu phát, tần số RF, công suất RF, phase RF,...**

- Sau đó, FPGA xác định waveform và gửi tín hiệu baseband đến ADRV qua giao tiếp JESD204b. Đồng thời, FPGA gửi thông tin cấu hình ADRV (**cấu hình bộ lọc, suy hao, khuếch đại, hệ số nhân tần,...**), thông tin tần số RF đến ADRV thông qua giao tiếp SPI. ADRV nhận dữ liệu baseband, đưa qua các bộ lọc và trộn tần lên RF tần số cao.

- Dựa vào thông tin waveform, FPGA cũng điều khiển mở phát RF, chuyển tần và điều khiển RF switch thông qua các GPIO.

- Sử dụng FPGA tạo tín hiệu Sysref để đồng bộ RF PLL trong các IC ADRV trên một khối DTR. RF PLL ở các khối DTR khác nhau được đồng bộ qua tín hiệu Trigger.

3.4.5 Thiết kế bộ xử lý tín hiệu thu



Hình 3.7. Sơ đồ thiết kế hệ thống thu trên DTR

Hình 3.7 mô tả sơ đồ nguyên lý hệ thống thu trên khối DTR với nguyên lý hoạt động như sau:

ADRV thu tín hiệu RF, qua bộ suy hao và mixer để đưa về baseband. ADRV tiếp tục đưa tín hiệu baseband qua các bộ lọc, giảm băng thông tín hiệu trước khi gửi về FPGA qua JESD204b. FPGA tiếp tục giảm băng thông tín hiệu và có thể xử lý nén xung trước khi gửi cho DSP qua đường Transceiver.

3.4.6 Xây dựng mô hình truyền dữ liệu tốc độ cao

- FPGA sử dụng giao thức Aurora 64b66b để nhận tham số điều khiển từ DSP và gửi cho DSP thông tin giám sát và dữ liệu các kênh thu.

- Dữ liệu 8 kênh thu sau khi được xử lý sẽ được gộp lại theo thông số location và gửi đi liên tục toàn chu kỳ.

- Tính toán tốc độ truyền dữ liệu giữa DSP và DTR:

+ Số kênh thu: 8.

+ Số kênh tín hiệu / kênh thu: 2.

+ Số bit dữ liệu/kênh thu: 24.

+ Số bit thông tin/kênh thu: 16.

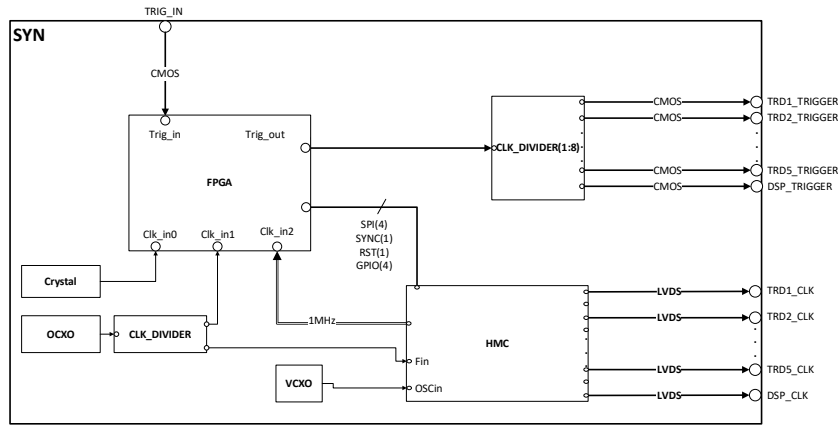
+ Tốc độ truyền dữ liệu: 4Msps.

→ Số bit dữ liệu/mẫu: $8 \times (2 \times 24 + 16) = 512$ bit.

→ Tốc độ truyền dữ liệu giữa DTR và DSP: $4 \times 512 = 2048$ Mb.

3.4.7 Thiết kế khối SYN

- Sơ đồ khối của khối SYN:



Hình 3.8. Sơ đồ khối của khối SYN

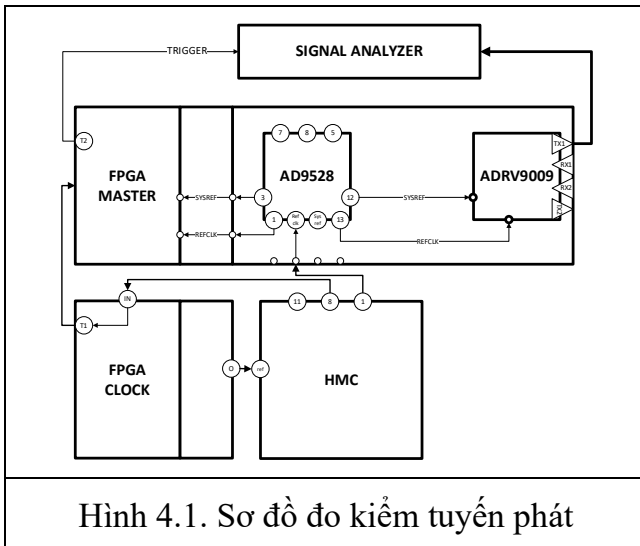
- Mô hình tạo clock đồng bộ trong khối SYN:
 - + Clock đồng bộ tạo bởi HMC. Reference clock cho HMC là OCXO và VCXO. Đầu ra kết nối tới DTR ở chế độ CMOS. Clock cấp cho FPGA dạng LVDS.
 - + FPGA sử dụng clock đồng bộ từ HMC và TRIGGER từ DSP để tạo ra TRIGGER đồng bộ cho hệ thống, và sử dụng clock thạch anh để chạy phần mềm...

Trong chương 3 chúng ta đã đi vào tìm hiểu quá trình từ xây dựng chỉ tiêu kỹ thuật đến mô phỏng, tính toán các tham số để từ đó đưa ra chỉ tiêu cho từng khối cụ thể.

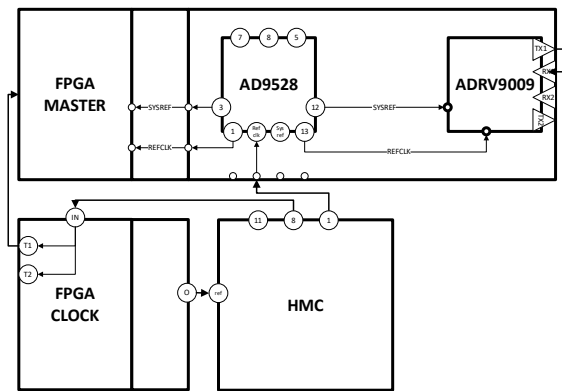
CHƯƠNG 4: ĐO KIỂM VÀ ĐÁNH GIÁ CÁC THAM SỐ

4.1 Đo kiểm tham số khối DTR

4.1.1 Sơ đồ đo

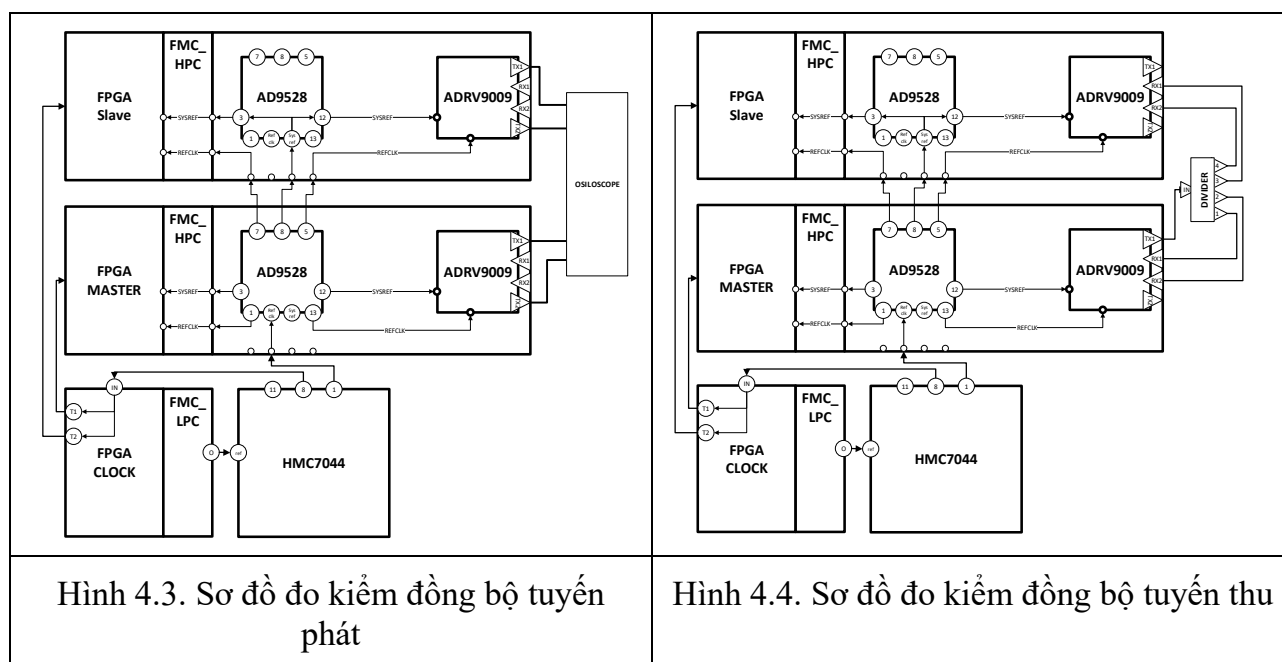


Hình 4.1. Sơ đồ đo kiểm tuyến phát



Hình 4.2. Sơ đồ đo kiểm tuyến thu

- Sơ đồ đo kiểm đồng bộ tuyến phát:



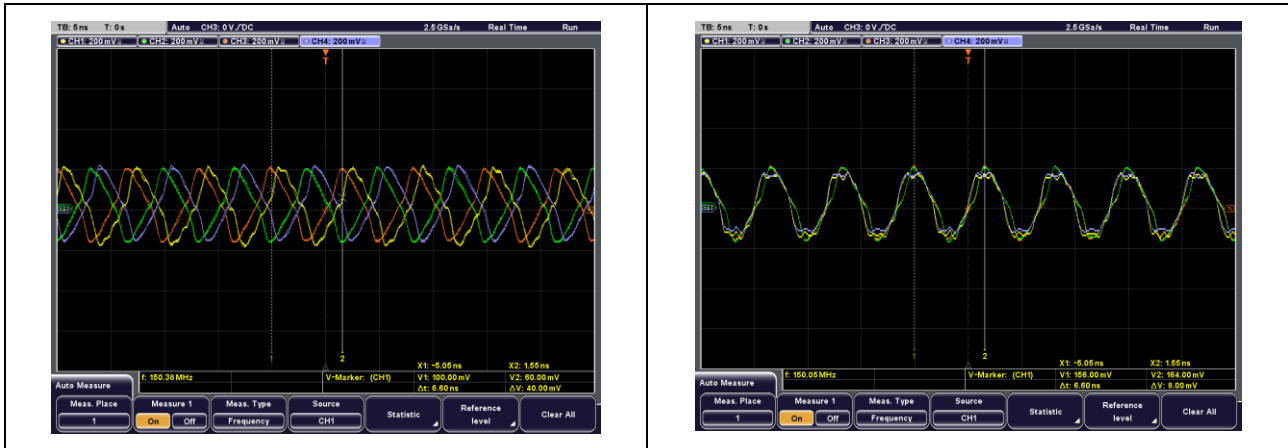
4.1.2 Kết quả đo

- Dựa vào sơ đồ đo khối DTR chúng ta thu được kết quả đo được tổng hợp trong Bảng 4.1.

Bảng 4.1. Kết quả đo kiểm khối DTR

STT	Tên tham số	Đơn vị	Chỉ tiêu	Kết quả đạt được	Ghi chú
1	Công suất phát	dBm	0 ± 0.5	$-0.46 \div 0.40$	
2	Sai số biên độ giữa các kênh phát	dB	≤ 0.5	< 0.5	
3	Sai số pha giữa các kênh phát	Độ	≤ 5	< 4	
4	Sai số biên độ giữa các kênh thu	dB	≤ 0.5	< 0.5	Hiệu chỉnh tại nhiệt độ 50°C
5	Sai số pha giữa các kênh thu	Độ	≤ 5	< 3	Hiệu chỉnh tại nhiệt độ 50°C

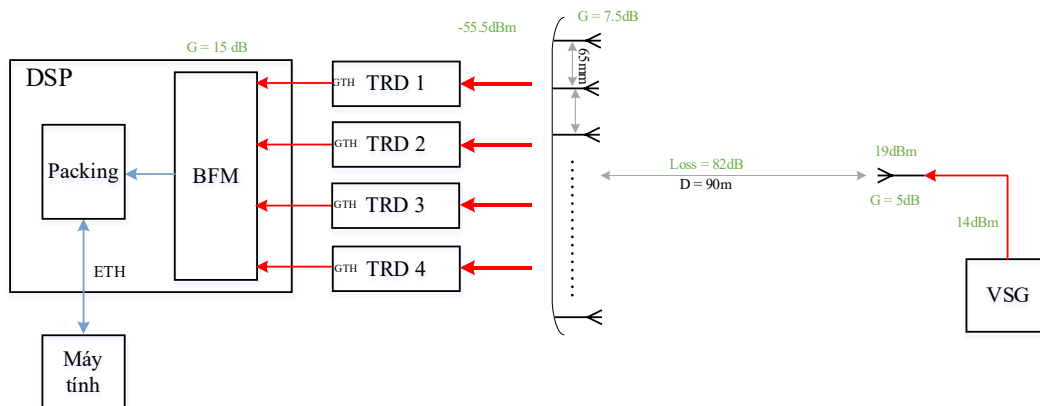
- Một số hình ảnh kết quả đo kiểm:



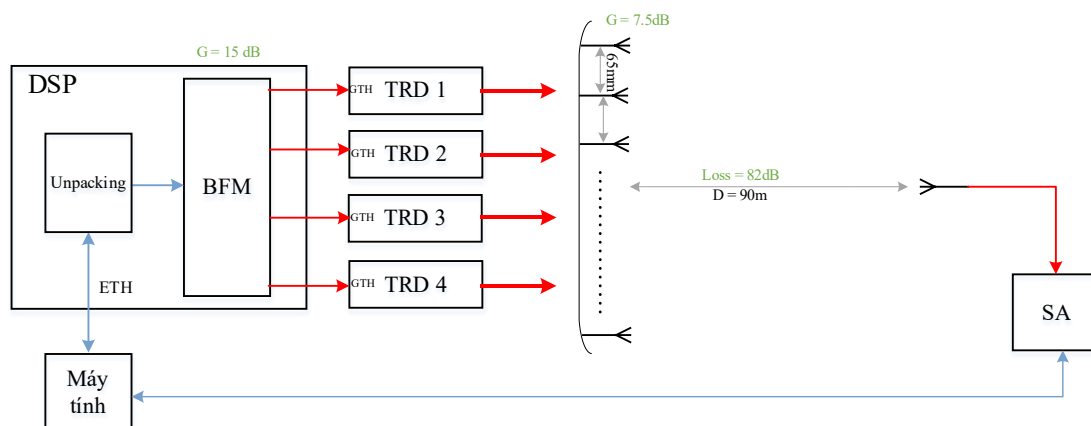
Hình 4.5. Tín hiệu phát trước và sau khi đồng bộ.

4.2 Đo kiểm tham số bộ tổng hợp và lái búp sóng số

4.2.1 Sơ đồ đo kiểm



Hình 4.6. Sơ đồ đo kiểm tuyến thu



Hình 4.7. Sơ đồ đo kiểm tuyến phát

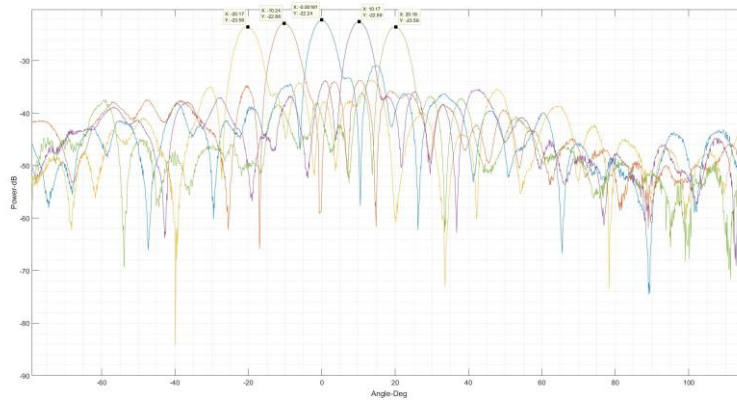
4.2.2 Kết quả đo

Dựa vào sơ đồ đo chúng ta thu được kết quả đo bộ tổng hợp và lái búp sóng số được tổng hợp trong

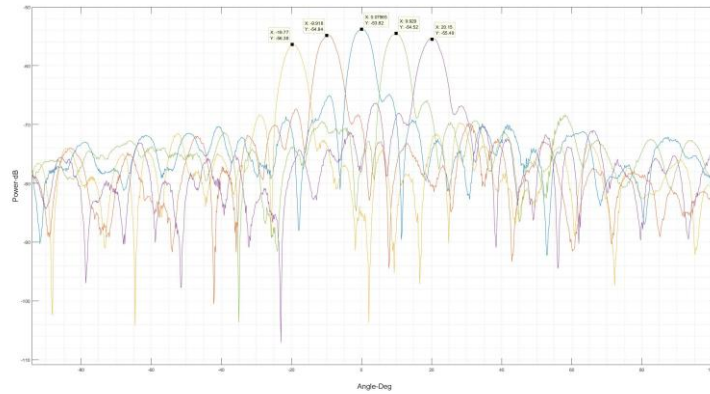
Bảng 2.

Bảng 4.2. Bảng kết quả đo tham số bộ tổng hợp và lái búp sóng số

STT	Tên tham số	Đơn vị	Chỉ tiêu	Kết quả đạt được	Ghi chú
1	Độ chính xác khi lái búp sóng	Độ	$\leq 10\%$ độ rộng búp sóng	$0.18^\circ \rightarrow 0.24^\circ$	
2	Phạm vi góc lái	Độ	$\pm 20^\circ$	$\pm 20^\circ$	
3	Độ phân giải lái búp sóng	Độ	$\Delta\phi = \arcsin\left(\frac{\lambda}{2^n \times d}\right)$	0.0014°	Các tham số $n = 16$, $f = 2.9\text{Ghz}$
4	Thời gian lái búp sóng	μs	$158 \times \text{chu kỳ clk}$	$0.61\mu\text{s}$	
5	Tính năng thu đa búp sóng	-	Có	Có	
6	Tính năng áp dụng các trọng số window	-	Có	Có	



Hình 4.8. Kết quả đo búp sóng phát tại tần số 2.8 GHz



Hình 4.9. Kết quả đo búp sóng thu tại tần số 2.8 GHz

4.3 Đánh giá kết quả đạt được

- Từ kết quả đạt được như trong Bảng và

Bảng 4.2 ta có kết luận sau:

- + Kết quả thu được đảm bảo theo đúng chỉ tiêu đã đề ra.
- + Kết quả thu được phù hợp với tính toán lý thuyết.

Chương 4 đã từng bước xây dựng phương pháp đo kiểm tham số kỹ thuật của từng khối từ bước xây dựng sơ đồ đo đến từng bước đo kiểm trong quá trình đo.

KẾT LUẬN

Đề án “Nghiên cứu, thiết kế bộ tổng hợp và lái búp sóng số dựa trên nền tảng FPGA và IC ADRV9009” đã đạt được các kết quả nghiên cứu sau:

Nắm được lý thuyết chung về hệ thống ăng ten mảng pha, các phương pháp tổng hợp và lái búp sóng.

Làm chủ được công nghệ truyền thông số tốc độ cao và công nghệ Zero-IF.

Nắm được trình tự thiết kế và phương pháp đo kiểm hệ thống tổng hợp và lái búp sóng số.

Trong đề án mới chỉ dừng lại ở phương pháp quét điện tử một chiều và sai số lái búp sóng còn lớn. Do đó định hướng trong thời gian tiếp theo của đề án có sẽ mở rộng nghiên cứu thêm như: phương pháp AESA 2 chiều, tăng độ chính xác góc lái ...

Trong quá trình làm đề án tốt nghiệp, với sự nỗ lực của bản thân và sự giúp đỡ chỉ bảo tận tình của cô giáo TS. Trần Thị Thục Linh, cùng các thầy giáo trong khoa Kỹ thuật Điện tử, đề án đã hoàn thành đảm bảo đúng nội dung, tiến độ và đạt được mục tiêu đề ra.

Em xin chân thành cảm ơn!